





5. Considere a tabela de verdade seguinte onde a função  $F$  é expressa em função das entradas  $A$ ,  $B$  e  $C$ .

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

a) Represente a função  $F$  numa forma canónica.

$$F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C$$

b) Usando um mapa de Karnaugh, determine uma expressão simplificada para a função  $F$ , na forma SoP.

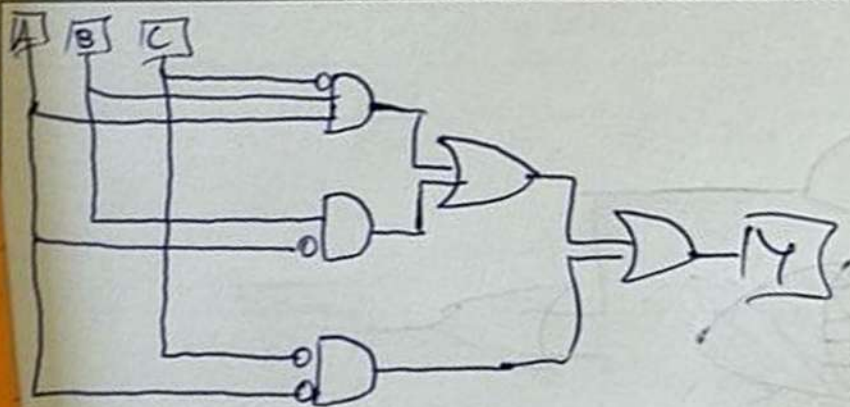
A	BC			
	00	01	10	11
0	1	0	0	1
1	1	1	0	0

$$Y = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C$$

$$= \bar{A}\bar{B} + A\bar{B}\bar{C} + \bar{A}C$$

c) Desenhe o circuito lógico que implementa a expressão obtida na alínea anterior.

(Caso não tenha respondido à alínea anterior considere a expressão  $F = \bar{A}\bar{C} + \bar{A}B + A\bar{B}\bar{C}$ )



d) É possível implementar a expressão da alínea b) usando apenas portas NAND? Se sim indique.

Nota: Caso não tenha respondido à alínea b) use a expressão dada na alínea c).

1a	1b	1c	2a	2b	3	4	5a	5b	5c	5d	6a
1	0.5	1	1	1	3	2.5	1	1	1	1	1

6. A tabela de verdade de um somador de números representados com dois bits é fornecida abaixo.  $A_1A_0$  e  $B_1B_0$  representam dois números binários sem sinal, e  $Y_2Y_1Y_0$  o resultado da soma.

$$\begin{array}{r} A_1A_0 \\ + B_1B_0 \\ \hline Y_2Y_1Y_0 \end{array}$$

- Complete a tabela de verdade abaixo para as saídas  $Y_2$  e  $Y_1$ .
- Apresente uma forma canônica da expressão da saída  $Y_1$ .

$$Y_1 = \bar{A}_1\bar{A}_0\bar{B}_1\bar{B}_0 + \bar{A}_1\bar{A}_0\bar{B}_1B_0 + \bar{A}_1A_0\bar{B}_1\bar{B}_0 + \bar{A}_1A_0\bar{B}_1B_0 + A_1\bar{A}_0\bar{B}_1\bar{B}_0 + A_1\bar{A}_0\bar{B}_1B_0 + A_1A_0\bar{B}_1\bar{B}_0 + A_1A_0\bar{B}_1B_0$$

c) Usando um mapa de Karnaugh simplifique ao máximo a expressão da saída  $Y_1$ .

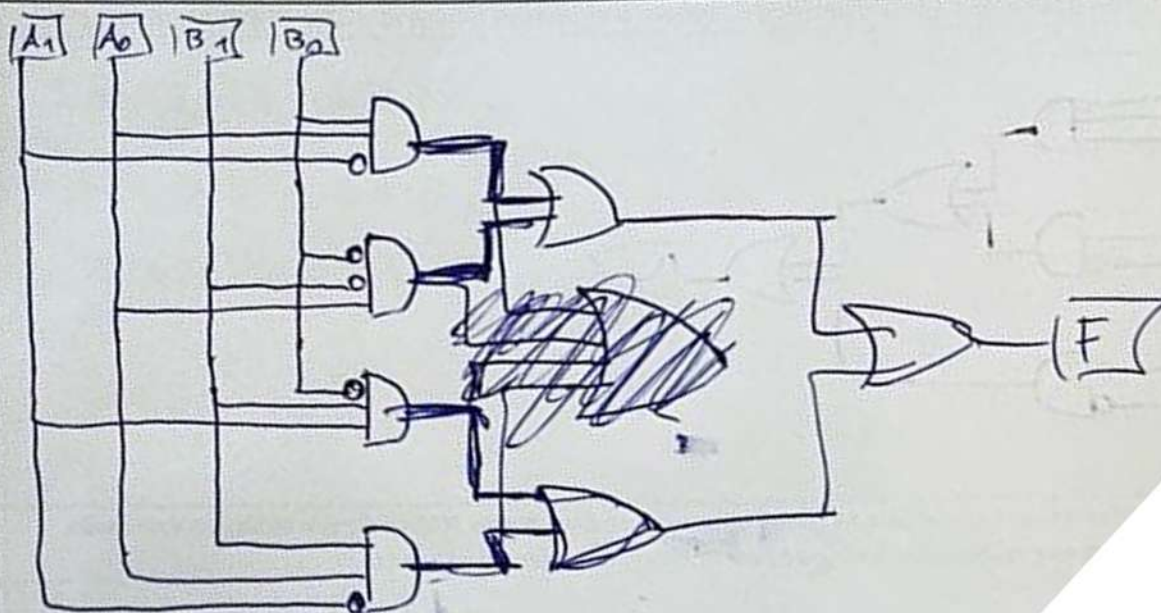
Inputs				Outputs		
$A_1$	$A_0$	$B_1$	$B_0$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

$A_1A_0 \backslash B_1B_0$	00	01	11	10
00	0	0	1	1
01	0	1	1	0
11	1	1	0	0
10	1	0	0	1

$$Y_1 = \bar{A}_1A_0\bar{B}_1 + \bar{A}_1A_0B_0 + A_0\bar{B}_1\bar{B}_0 + A_1B_1\bar{B}_0$$

d) Desenhe o circuito correspondente à expressão obtida na alínea anterior.

(Caso não tenha conseguido obter uma expressão desenhe o circuito para  $F = \bar{A}_1A_0B_0 + A_0\bar{B}_1\bar{B}_0 + A_1B_1\bar{B}_0 + \bar{A}_1A_0B_1$ )

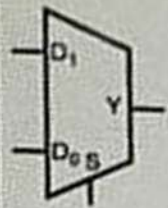


a) Desenhe o circuito correspondente à expressão obtida na alínea anterior

1a	1b	1c	2a	2b	3	4	5a	5b	5c
1	0.5	1	1	1	3	2.5	1	1	

7. O bloco da imagem seguinte é um multiplexer 2:1.

Com base nesse bloco esboce uma implementação para um multiplexer 4:1. Considere como entradas de seleção  $S_1, S_2$  sendo  $S_1$  a entrada mais significativa.



Zona de Rascunho: